

日本国特許庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 3月27日

出願番号

Application Number:

特願2003-088671

[ST.10/C]:

[JP2003-088671]

出願人

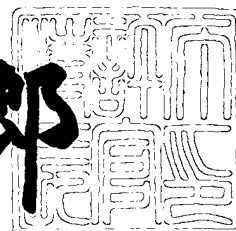
Applicant(s):

シャープ株式会社

2003年 5月13日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3036076

【書類名】 特許願

【整理番号】 03J00164

【提出日】 平成15年 3月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/861

【発明の名称】 半導体装置とその製造方法

【請求項の数】 8

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区长池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 下村 奈良和

【特許出願人】

【識別番号】 000005049

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100065248

【弁理士】

【氏名又は名称】 野河 信太郎

【電話番号】 06-6365-0718

【手数料の表示】

【予納台帳番号】 014203

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003084

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 第 1 導電性の半導体基板と、半導体基板内の表面近傍に、素子分離領域を介して分離形成された第 1 電極形成領域と第 2 電極形成領域とを備え、第 1 電極形成領域および第 2 電極形成領域のいずれか一方には濃度の異なる第 1 型不純物が注入された 2 層の第 1 型不純物層が形成され、他方の電極形成領域には第 2 型不純物が注入された第 2 型不純物層と、半導体基板内の第 2 型不純物層の下方の一部領域に第 1 型不純物層が形成されてなることを特徴とする半導体装置。

【請求項 2】 前記一方の電極形成領域に形成される 2 層の第 1 型不純物層のうち、半導体基板表面に近い層がその下方に形成される層よりも第 1 型不純物の濃度が高いことを特徴とする請求項 1 の半導体装置。

【請求項 3】 P 型導電性の半導体基板と、半導体基板内の表面近傍に、素子分離領域を介して分離形成されたアノード電極形成領域とカソード電極形成領域とを備え、前記アノード電極形成領域が、基板内であって基板表面に近い方から順に形成された第 1 P 型拡散層と第 2 P 型拡散層からなり、第 1 P 型拡散層の P 型不純物濃度が第 2 P 型拡散層よりも高く、前記カソード電極形成領域が、基板内であって基板表面に近い方から順に形成された第 1 N 型拡散層と第 3 P 型拡散層からなり、前記第 3 P 型拡散層はカソード電極形成領域内であって前記素子分離領域近傍を除く局所的な領域に形成されたことを特徴とする半導体装置。

【請求項 4】 前記第 1 P 型拡散層が、基板表面から深さ $0.4 \mu\text{m}$ までの領域に形成され、前記第 2 P 型拡散層が、基板内の深さ $0.4 \mu\text{m}$ から $1.0 \mu\text{m}$ までの領域に形成されたことを特徴とする請求項 3 の半導体装置。

【請求項 5】 前記半導体基板上であって、前記アノード電極形成領域およびカソード電極形成領域にそれぞれアノード電極とカソード電極を形成し、アノード電極とカソード電極とによって形成されるダイオードを、入出力端子の保護回路として用いることを特徴とする請求項 3 の半導体装置。

【請求項 6】 P 型導電性の半導体基板の表面上に、アノード電極形成領域

とカソード電極形成領域とを離隔して形成するように、所定間隔をあけて素子分離領域を形成する素子分離工程と、前記カソード電極形成領域にN型不純物をイオン注入する第1注入工程と、前記アノード電極形成領域にP型不純物をイオン注入する第2注入工程と、前記アノード電極形成領域全体およびカソード電極形成領域の一部分にP型不純物をイオン注入する第3注入工程と、アニール処理により前記イオン注入したP型およびN型不純物を熱拡散させる熱拡散工程と、前記半導体基板上であって前記アノード電極形成領域およびカソード電極形成領域にスパッタリングにより金属材料を堆積させて、アノード電極とカソード電極を形成させる電極形成工程とを含むことを特徴とする半導体装置の製造方法。

【請求項7】 前記第3注入工程の後、前記アノード電極形成領域の基板内に2層からなるP型不純物層が形成され、基板表面に近い側に形成されたP型不純物層のP型不純物の濃度が、その下方に形成されたP型不純物層よりも高濃度であることを特徴とする請求項6の半導体装置の製造方法。

【請求項8】 前記第3注入工程でカソード電極形成領域に注入されるP型不純物は、カソード電極形成領域内であって、かつ前記素子分離領域に接する部分から $0.5\mu\text{m}$ 以上離れた領域に注入されることを特徴とする請求項6の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置に関し、特に静電破壊を防止する入出力保護回路に利用できる半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

半導体装置の静電破壊を防止するために、半導体装置の各入出力端子にダイオードを用いた保護回路を設ける方法がある。図8に、従来の保護回路の一例を示す。この保護回路は入力端子に接続されるトランジスタのゲート電極Gに並列にダイオードDを設けたもので、ゲート破壊電圧よりもダイオードDの降伏電圧を低く設定することで、入力端子から印加される破壊電流をダイオードDに流し

ゲート電極Gには印加されないようにして保護を図っている。

【0003】

図9に、公知であるプレーナー技術で製造した従来のダイオードの降伏電流経路6を示す。降伏電流はPN接合の湾曲部5（線状領域）に集中して流れている。この現象は、湾曲を有するPN接合ではPN湾曲部5で電界強度が大きくなるため、PN湾曲部5での降伏電圧が底面部7での降伏電圧よりも低くなることに起因するものである。降伏電流が面積の小さい線状領域でのみ流れるために、大きな降伏電流を流すには保護回路自体を大きくする必要があり大面積を要することになる。

【0004】

昨今、半導体装置の製造技術の微細化に伴いチップ面積の縮小が進み、半導体装置の全面積（チップ面積）に対する保護回路の占める面積割合が高くなっている。また、通常各入出端子ごとに保護回路を設けるため、半導体装置が高機能になればなるほど入出力端子数が増え、保護回路の面積がますます増大するようになる。このためチップ面積を縮小する上での課題として、保護回路の面積を縮小する必要が生じてきた。

【0005】

この要求に対して、降伏電流をPN接合底面部で流れるようにして接合の永久破壊を制御したゲート保護ダイオードが提案されている（特許文献1）。

図10に、特許文献1に示されたダイオードの降伏電流経路を示す。PN接合底面部15の不純物濃度をPN湾曲部5よりも1～2桁、局所的に高くすることで底面部15の降伏電圧をPN湾曲部5よりも低くし、降伏電流を接合底面部15の広い面積部分で流すようにしている。

【0006】

【特許文献1】

特開昭61-35568号公報

【0007】

【発明が解決しようとする課題】

しかしながら、特許文献1のような従来の製造方法では、アノード電極11直

下の P 型半導体領域の抵抗値が高いために大きな降伏電流を流すことができないという問題点がある。

本発明は、以上の点を考慮してなされたものであり、アノード電極直下の P 型半導体の不純物濃度を高くして、その部分の抵抗値を下げることにより、大きな降伏電流を流すことを可能とする半導体装置とその製造方法を提供することを課題とする。

【 0 0 0 8 】

【課題を解決するための手段】

この発明は、第 1 導電性の半導体基板と、半導体基板内の表面近傍に、素子分離領域を介して分離形成された第 1 電極形成領域と第 2 電極形成領域とを備え、第 1 電極形成領域および第 2 電極形成領域のいずれか一方には濃度の異なる第 1 型不純物が注入された 2 層の第 1 型不純物層が形成され、他方の電極形成領域には第 2 型不純物が注入された第 2 型不純物層と、半導体基板内の第 2 型不純物層の下方の一部領域に第 1 型不純物層が形成されてなることを特徴とする半導体装置を提供するものである。

【 0 0 0 9 】

これによれば、第 1 電極形成領域に不純物濃度が高い部分を形成しているので、第 1 電極形成領域と第 2 電極形成領域との間で大きな降伏電流を流すことができる。したがって、この半導体装置を保護回路として用いた場合、保護回路の面積を従来よりも縮小することができる。

【 0 0 1 0 】

ここで、大きな降伏電流を流すためには、前記一方の電極形成領域に形成される 2 層の第 1 型不純物層のうち、半導体基板表面に近い層の第 1 型不純物の濃度をその下方に形成される層よりも高くすることが好ましい。

【 0 0 1 1 】

また、この発明は、P 型導電性の半導体基板と、半導体基板内の表面近傍に、素子分離領域を介して分離形成されたアノード電極形成領域とカソード電極形成領域とを備え、前記アノード電極形成領域が、基板内であって基板表面に近い方から順に形成された第 1 P 型拡散層と第 2 P 型拡散層からなり、第 1 P 型拡散層

のP型不純物濃度が第2 P型拡散層よりも高く、前記カソード電極形成領域が、基板内であって基板表面に近い方から順に形成された第1 N型拡散層と第3 P型拡散層からなり、前記第3 P型拡散層はカソード電極形成領域内であって前記素子分離領域近傍を除く局所的な領域に形成されたことを特徴とする半導体装置を提供するものである。

【0012】

ここで、前記第1 P型拡散層が、基板表面から深さ $0.4\ \mu\text{m}$ までの領域に形成され、前記第2 P型拡散層が、基板内の深さ $0.4\ \mu\text{m}$ から $1.0\ \mu\text{m}$ までの領域に形成されるようにすることが好ましい。

これによれば、基板表面下の $0.4\ \mu\text{m}\sim 1\ \mu\text{m}$ の範囲のP型不純物濃度を従来よりも高くしているので、従来の $1.2\sim 1.4$ 倍程度の大きな降伏電流を流すことができる。したがって、従来と同じ性能の保護回路として用いる場合、保護回路の面積を縮小することができる。

【0013】

また、この発明は、P型導電性の半導体基板の表面上に、アノード電極形成領域とカソード電極形成領域とを離隔して形成するように、所定間隔をあけて素子分離領域を形成する素子分離工程と、前記カソード電極形成領域に、N型不純物をイオン注入する第1注入工程と、前記アノード電極形成領域に、P型不純物をイオン注入する第2注入工程と、前記アノード電極形成領域全体およびカソード電極形成領域の一部分にP型不純物をイオン注入する第3注入工程と、アニール処理により前記イオン注入したP型およびN型不純物を熱拡散させる熱拡散工程と、前記半導体基板上であって前記アノード電極形成領域およびカソード電極形成領域にスパッタリングにより金属材料を堆積させて、アノード電極とカソード電極を形成させる電極形成工程とを含むことを特徴とする半導体装置の製造方法を提供するものである。

【0014】

ここで、前記第3注入工程の後、前記アノード電極形成領域の基板内には2層からなるP型不純物層が形成され、基板表面に近い側に形成されたP型不純物層のP型不純物の濃度は、その下方に形成されたP型不純物層よりも高濃度とする

ことが好ましい。

さらに、従来のようにPN接合湾曲部で降伏電流が集中するのを避けるため、前記第3注入工程でカソード電極形成領域に注入されるP型不純物は、カソード電極形成領域内であって、かつ前記素子分離領域に接する部分から $0.5\mu\text{m}$ 以上離れた領域に注入されるようにすることが好ましい。

【0015】

また、この発明は、前記半導体基板上であって、前記アノード電極形成領域およびカソード電極形成領域にそれぞれアノード電極とカソード電極を形成し、アノード電極とカソード電極とによって形成されるダイオードを、入出力端子の保護回路として用いることを特徴とする半導体装置を提供するものである。

【0016】

【発明の実施の形態】

以下、図面を使用して本発明の実施の形態を説明する。なお、以下の実施例の記載によって、この発明が限定されるものではない。

【0017】

以下の実施例の説明では、第1導電型をP型、第2導電型をN型として説明するが、これに限るものではなく、逆に第1導電型をN型とし、第2導電型をP型と読みかえてもよい。

すなわち、半導体基板として、P型基板のみならず、N型基板を用いて半導体装置を構成することができ、この場合も以下の実施の形態に示すものと同様の機能、効果を奏することができる。

【0018】

<半導体装置の構成>

図1に、この発明の半導体装置の一実施例の断面図を示す。

ここでは、半導体基板101としてP型不純物を含む、いわゆるPウェル102（P型基板）を用いるものとする。すなわち第1導電型＝P型である。

【0019】

図1に示すように、Pウェル102の表面上に SiO_2 膜からなる素子分離領域103が、所定の間隔だけ離隔されて複数個形成されており、この素子分離領

域 1 0 3 の間の領域が活性領域となる。

活性領域には電極が形成されるが、この発明では、少なくともアノード電極 1 1 4 が形成される領域（アノード電極形成領域 A）と、カソード電極 1 1 5 が形成される領域（カソード電極形成領域 B）とを含む。

アノード電極形成領域 A の基板内部において、P 型不純物の濃度が比較的高い P + 型拡散層 1 1 1 と、P 型不純物の濃度が比較的低い P 型拡散層 1 1 2 とが、基板表面から見てこの順に形成される。

【 0 0 2 0 】

この発明の半導体装置は種々の用途の半導体素子の保護回路として用いることができるので、この 2 つの拡散層の深さは一義的に定められるものではないが、たとえば、P + 型拡散層 1 1 1 の深さは、基板表面から $0.4 \mu\text{m}$ 程度とし、P 型拡散層 1 1 2 の深さは $0.4 \mu\text{m}$ から $1.0 \mu\text{m}$ 程度とすればよい。

また、P + 型拡散層 1 1 1 の P 型不純物の濃度は、たとえば 1 cm^3 あたり $1.0 \times 10^{20} \sim 1.0 \times 10^{17}$ 程度とし、P 型拡散層 1 1 2 の P 型不純物の濃度は、たとえば 1 cm^3 あたり $1.0 \times 10^{17} \sim 1.0 \times 10^{16}$ 程度とする。

このように、2 つの拡散層（1 1 1, 1 1 2）の濃度および深さを設定すれば、P ウェル 1 0 2 の不純物濃度よりも不純物濃度が約 1 桁高い P 型拡散層 1 1 2 が存在するために、アノード電極形成領域の抵抗値を下げることができ、大きな降伏電流を流せるという効果を得ることができる。

【 0 0 2 1 】

図 1 のアノード電極形成領域 A において、P + 型拡散層 1 1 1 の一部分の上方であって、絶縁膜 1 1 3 の開口部にアノード電極 1 1 4 が形成される。

カソード電極形成領域 B の基板内部において、N 型不純物が注入された N + 型拡散層 1 1 0 と、P 型不純物が注入された P 型拡散層 1 1 2 とが、基板表面から見てこの順に形成される。

ここで、たとえば N + 型拡散層 1 1 0 の深さは基板表面から $0.40 \mu\text{m}$ 程度の領域とし、その下の P 型拡散層 1 1 2 の深さは $0.40 \mu\text{m}$ から $1.0 \mu\text{m}$ 程度の領域とする。

また、N + 型拡散層 1 1 0 の N 型不純物濃度はたとえば 1 cm^3 あたり 1.0

$\times 10^{20} \sim 1.0 \times 10^{17}$ 程度とし、P型拡散層 1 1 2 の P 型不純物濃度はたとえば 1 cm^3 あたり $1.0 \times 10^{17} \sim 1.0 \times 10^{16}$ 程度とする。

【0022】

N+型拡散層 1 1 0 は、2つの素子分離領域 1 0 3 には含まれたカソード電極形成領域全体にわたって形成するが、その下方の P 型拡散層 1 1 2 は、カソード電極形成領域 B の一部分に形成する。特に、素子分離領域 1 0 3 との境界に近い部分には、P 型拡散層 1 1 2 は形成しないようにすることが好ましい。これは、この半導体装置を保護回路のダイオードとして用いた場合、PN 接合の湾曲部で降伏電流が集中して流れないようにするためである。

【0023】

たとえば、カソード電極形成領域 B 内の P 型拡散層 1 1 2 を形成する領域は、素子分離領域 1 0 3 に接する部分から、少なくとも $0.5 \mu\text{m}$ 程度以上離れた領域とすることが好ましい。このように、P 型拡散層 1 1 2 を形成する領域を限定すれば、PN 接合の湾曲部ではなく、比較的面積の広いカソード電極形成領域 B 内の P 型拡散層 1 1 2 の下方で降伏電流を流すことができる。

また、カソード電極形成領域 B において、P 型拡散層 1 1 2 の上方には、絶縁膜 1 1 3 の開口部に、カソード電極 1 1 5 が形成される。

【0024】

<半導体装置の製造方法>

図 2 および図 3 に、この発明の半導体装置の製造工程の一実施例の説明図を示す。

この半導体装置は、アノード電極とカソード電極からなるダイオードである。

図 2 (a) : 素子分離工程

まず、シリコンなどの半導体基板 1 0 1 を用意し、この基板 1 0 1 にボロン等の P 型不純物を注入し、P ウェル 1 0 2 を形成する。

次に、P ウェル 1 0 2 の表面上の所定の領域に、ロコス酸化法を用いて約 $0.4 \mu\text{m}$ 厚さの SiO_2 膜 1 0 3 を形成し、素子分離を行う。

【0025】

図 2 (a) においては、3つの SiO_2 膜 1 0 3 により分離された 2つの素子

領域を示している。ここで、左側の素子領域Aがダイオードのアノード電極が形成される領域（アノード電極形成領域）とし、右側の素子領域Bがダイオードのカソード電極が形成される領域（カソード電極形成領域）とする。

【0026】

図2（b）：カソード電極形成領域へのN型不純物の注入

まず、フォトリソグラフィー法を用いてアノード電極を形成する左側のアノード電極形成領域Aを覆うように、レジスト104を形成する。

次に、イオン注入法を用いて、右側のカソード電極形成領域BのPウェル102部分に、N型不純物105を注入する。ここで、N型不純物105としては、リンや砒素を用いる。

また注入量は、 $2 \sim 4 \times 10^{15}$ [atoms/cm²] 程度とする。これにより、Pウェル102の表面近傍のカソード電極を形成する領域に、N型不純物の層105ができる。

【0027】

図2（c）：アノード電極形成領域へのP型不純物の注入

まず、前工程で形成したレジスト104を除去し、フォトリソグラフィー法を用いて、カソード電極形成領域Bを覆うように、レジスト106を形成する。

次に、イオン注入法を用いて、アノード電極形成領域AのPウェル102部分に、P型不純物107を注入する。ここで、P型不純物107としては、ボロンまたは二弗化ボロンを用いる。

また、注入量は、 $1 \sim 3 \times 10^{15}$ [atoms/cm²] 程度とする。これにより、アノード電極を形成する領域に、P型不純物の層107ができる。

【0028】

図3（a）：P型不純物の注入

この工程は、アノード電極形成領域AのP型不純物濃度を高くするための工程である。

まず、前工程で形成したレジスト106を除去し、カソード電極形成領域Bの一部を覆うように、フォトリソグラフィーを用いてレジスト108を形成する。

次に、イオン注入法を用いて、P型不純物109を、アノード電極形成領域A

およびカソード電極形成領域Bの一部分とに注入する。ここで、P型不純物109としては、ボロンまたは二弗化ボロンを用い、注入量は、 $3 \times 10^{12} \sim 1 \times 10^{13}$ [atoms/cm²] 程度とする。

【0029】

この工程によれば、アノード電極形成領域AのP型不純物の濃度を高くすることができ、カソード電極形成領域Bの一部分にP型不純物の層109-2が形成される。

もし仮に、カソード電極形成領域Bの全体に、P型不純物の層109-2を形成すると、従来のようにPN接合の湾曲部で降伏電流が流れてしまうので、大きな降伏電流は流せない。したがってカソード電極形成領域Bの一部分にのみ、P型不純物を注入する。

たとえば、図3(a)に示すようにカソード電極形成領域Bの幅mを $10\mu\text{m}$ とした場合、素子分離領域であるSiO₂膜103の端部からの幅n= $0.5\mu\text{m}$ 程度の部分にはP型不純物109が形成されないように、レジスト108を形成する。このように、カソード電極形成領域B内の素子分離領域近傍部分に、P型不純物109が形成されない領域を設けることにより、PN接合の湾曲部で降伏電流が流れるのを防止し、カソード電極下の広い面積部分で大きな降伏電流を流すことが可能となる。

図3(a)において、P型不純物層107が第1P型拡散層、P型不純物層109-1が第2P型拡散層、P型不純物層109-2が第3P型拡散層に対応する。

【0030】

図3(b)：拡散工程

ここでは、前工程で形成したレジスト108を除去し、 800°C で、30～60分程度、アニール処理を行う。この処理により、注入した不純物が活性化され、図3(b)に示すように、N+型拡散層110、P+型拡散層111、およびP型拡散層112が形成される。

【0031】

図3(c)：電極の形成

まず、図 3 (c) に示すように、上記基板表面全体に、 SiO_2 膜などの絶縁膜 113 を、 $0.5 \sim 1.0 \mu\text{m}$ 程度堆積させる。

次に、フォトリソグラフィ処理および電極形成領域 (A, B) の部分のエッチング処理を行うことにより、電極を形成する領域の絶縁膜 113 を除去し、開口部を形成する。その後、スパッタリング法により金属材料を開口部に積層させた後、フォトリソグラフィ処理とエッチング処理を行う。これにより、図 3 (c) に示すように、開口部に、アノード電極 114 とカソード電極 115 が形成される。

図 3 (c) が、この発明の半導体装置の一実施例である入出力保護用のダイオードの完成構造図である。

【0032】

図 4 に、この発明の半導体装置の降伏電流経路の説明図を示す。

この図 4 と、従来の図 10 とを比較すると、PN 接合底面部の広い面積部分、すなわち図 4 の PN 接合底面部 35 の部分において大きな降伏電流が流れていることがわかる。

また、図 5 に、この発明の半導体装置のカソード電圧電流特性、すなわちダイオードの逆方向電流特性 (降伏電流特性) を示す。

図 5 によれば、カソード電圧が約 15 V のときに接合降伏が始まり、降伏電流 (カソード電流) が流れ始める。さらに、約 25 V 付近より高い電圧では、従来よりも大きな降伏電流が流れ、カソード電圧が 50 V の場合には、従来の約 1.4 倍の降伏電流を流すことができる。

【0033】

このように、大きな降伏電流を流すことができるのは、アノード電極 114 の下方の P ウェル 102 表面近傍における P 型不純物の濃度を高くしているので、このアノード電極下の抵抗値が小さくなっているからと考えられる。

図 6 に、図 4 の断面 (A1 - A2) におけるこの発明の半導体装置のアノード電極 114 の下の P 型不純物濃度、図 7 に図 4 の断面 (C1 - C2) におけるカソード電極 115 の下の P 型不純物濃度の分布を示す。

図の横軸は、半導体基板 101 の表面からの深さを示している。

【 0 0 3 4 】

図 7 において、カソード電極下の P 型不純物濃度分布は、 $0.4 \mu\text{m} \sim 0.9 \mu\text{m}$ の深さで、P 型不純物濃度が高くなっているが、図 1 0 に示した従来の場合でも同様の分布傾向を示し、顕著な差はない。

一方、図 6 において、アノード電極下の P 型不純物濃度の分布では、 $0.4 \mu\text{m} \sim 0.9 \mu\text{m}$ の深さについて、この発明の方が図 1 0 に示した従来の場合よりも、高い P 型不純物濃度を示している。

たとえば、深さが $0.6 \mu\text{m}$ 程度のところでは、P 型不純物濃度は、1 桁近く高い値を示している。

すなわち、アノード電極 1 1 4 の下方の基板表面近傍の P 型不純物濃度を従来よりも高くしているので、アノード電極下の抵抗値を小さくでき、従来よりも大きな降伏電流を流すことができる。

【 0 0 3 5 】

たとえば、アノード電極下の基板表面近傍の P 型不純物濃度は、深さ $0.4 \sim 0.9 \mu\text{m}$ の範囲において、従来よりも 1 0 倍 \sim 1 0 0 倍高くすることが好ましく、特に、深さ $0.4 \sim 0.6 \mu\text{m}$ 程度のところで、従来より 1 0 倍高くすることが好ましい。

このように、P 型不純物濃度を調整すれば、カソード電圧が $30\text{V} \sim 50\text{V}$ の範囲内において、従来の 1.2 倍 \sim 1.4 倍程度の降伏電流（カソード電流）を流すことができる。

【 0 0 3 6 】

また、図 1 0 の従来のものとの比較において、従来と同様の降伏電流を得るだけでよい場合には、カソード電極の面積を、従来の面積の $1/1.2$ 倍から $1/1.4$ 倍程度にまで縮小することができる。

言い換えれば、カソード電極の面積を、従来の面積よりも 1 7 % \sim 2 9 % 程度、縮小することができる。

したがって、この発明の半導体装置を入出力端子の静電破壊の保護回路として用いた場合、保護回路の占める面積を小さくすることができるので、その結果、半導体 IC の小型化を図ることができる。

【 0 0 3 7 】

【発明の効果】

この発明によれば、第 1 電極形成領域に不純物濃度が高い部分を形成しているので、大きな降伏電流を流すことができる。

また、この発明によれば、アノード電極形成領域の基板表面近傍の P 型不純物の濃度を局所的に高くしているので、アノード電極下の抵抗値を小さくでき、従来よりも大きな降伏電流を流すことができる。

したがって、この発明の半導体装置を保護回路として用いた場合、従来よりも保護回路の占める面積を縮小することができる。

【図面の簡単な説明】

【図 1】

この発明の半導体装置の一実施例の構成を示す断面図である。

【図 2】

この発明の半導体装置の一実施例の製造工程の説明図である。

【図 3】

この発明の半導体装置の一実施例の製造工程の説明図である。

【図 4】

この発明の半導体装置の降伏電流経路の説明図である。

【図 5】

この発明の半導体装置の一実施例の逆方向電流特性の説明図である。

【図 6】

この発明の半導体装置の一実施例のアノード電極下の P 型不純物濃度の分布図である。

【図 7】

この発明の半導体装置の一実施例のカソード電極下の P 型不純物濃度の分布図である。

【図 8】

従来の保護回路の説明図である。

【図 9】

従来のダイオードの降伏電流経路の説明図である。

【図 1 0】

従来のダイオードの降伏電流経路の説明図である。

【符号の説明】

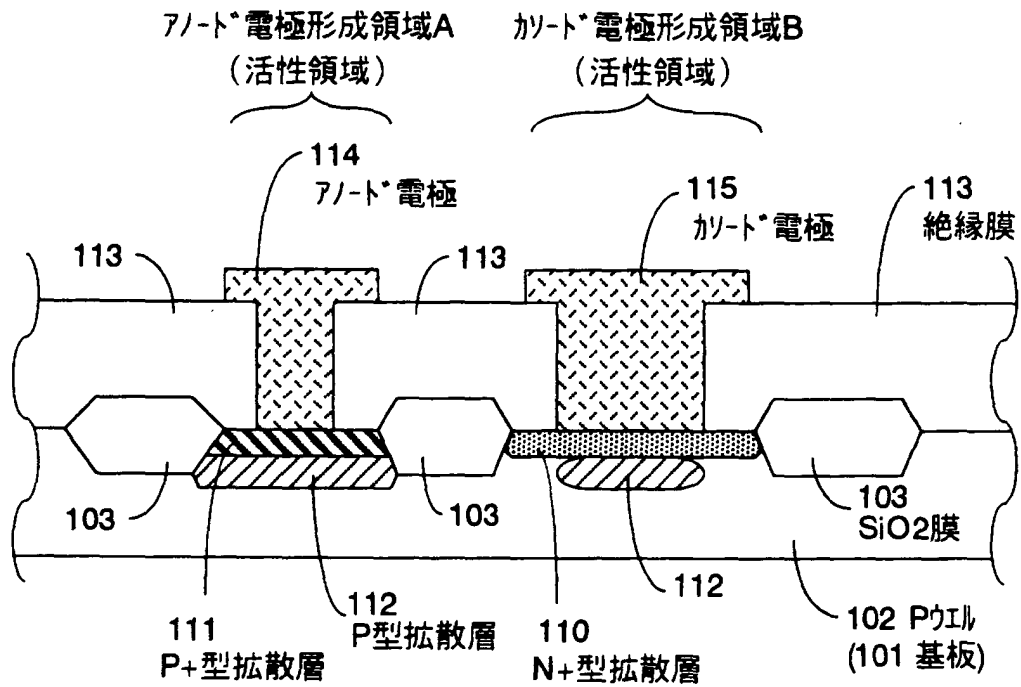
- 1 アノード電極
- 2 カソード電極
- 3 P型不純物領域
- 4 N型不純物領域
- 5 P N接合湾曲部
- 6 降伏電流経路
- 1 1 アノード電極
- 1 2 カソード電極
- 1 3 P型不純物領域
- 1 4 N型不純物領域
- 1 5 P N接合底面部
- 1 6 降伏電流経路
- 3 3 P型不純物領域
- 3 4 N型不純物領域
- 3 5 P N接合底面部
- 3 6 降伏電流経路
- 1 0 1 半導体基板
- 1 0 2 Pウェル
- 1 0 3 S i O 2 膜
- 1 0 4 レジスト
- 1 0 5 N型不純物
- 1 0 6 レジスト
- 1 0 7 P型不純物
- 1 0 8 レジスト
- 1 0 9 P型不純物

- 1 1 0 N + 型拡散層
- 1 1 1 P + 型拡散層
- 1 1 2 P 型拡散層
- 1 1 3 絶縁膜
- 1 1 4 アノード電極
- 1 1 5 カソード電極

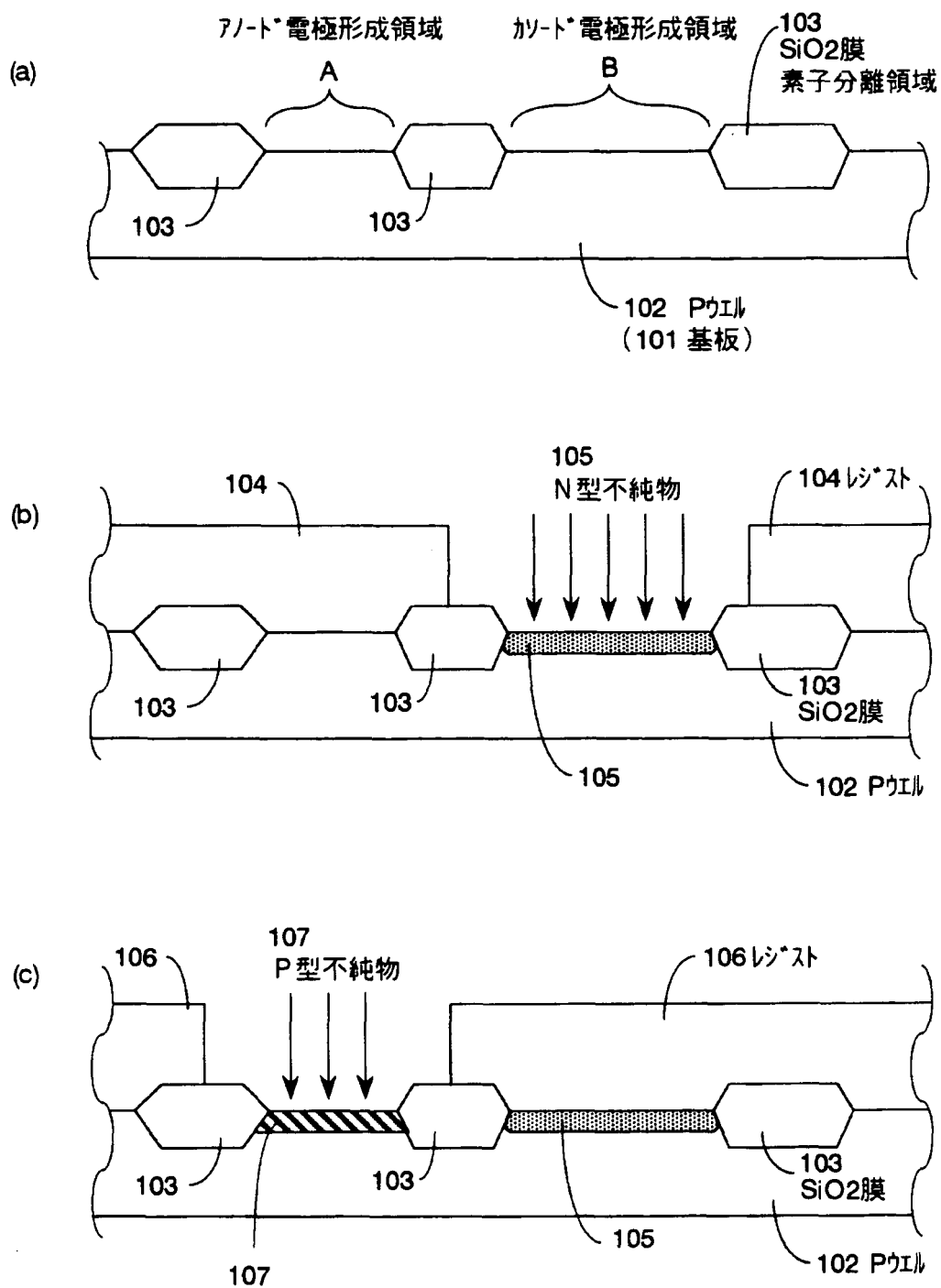
【書類名】

図面

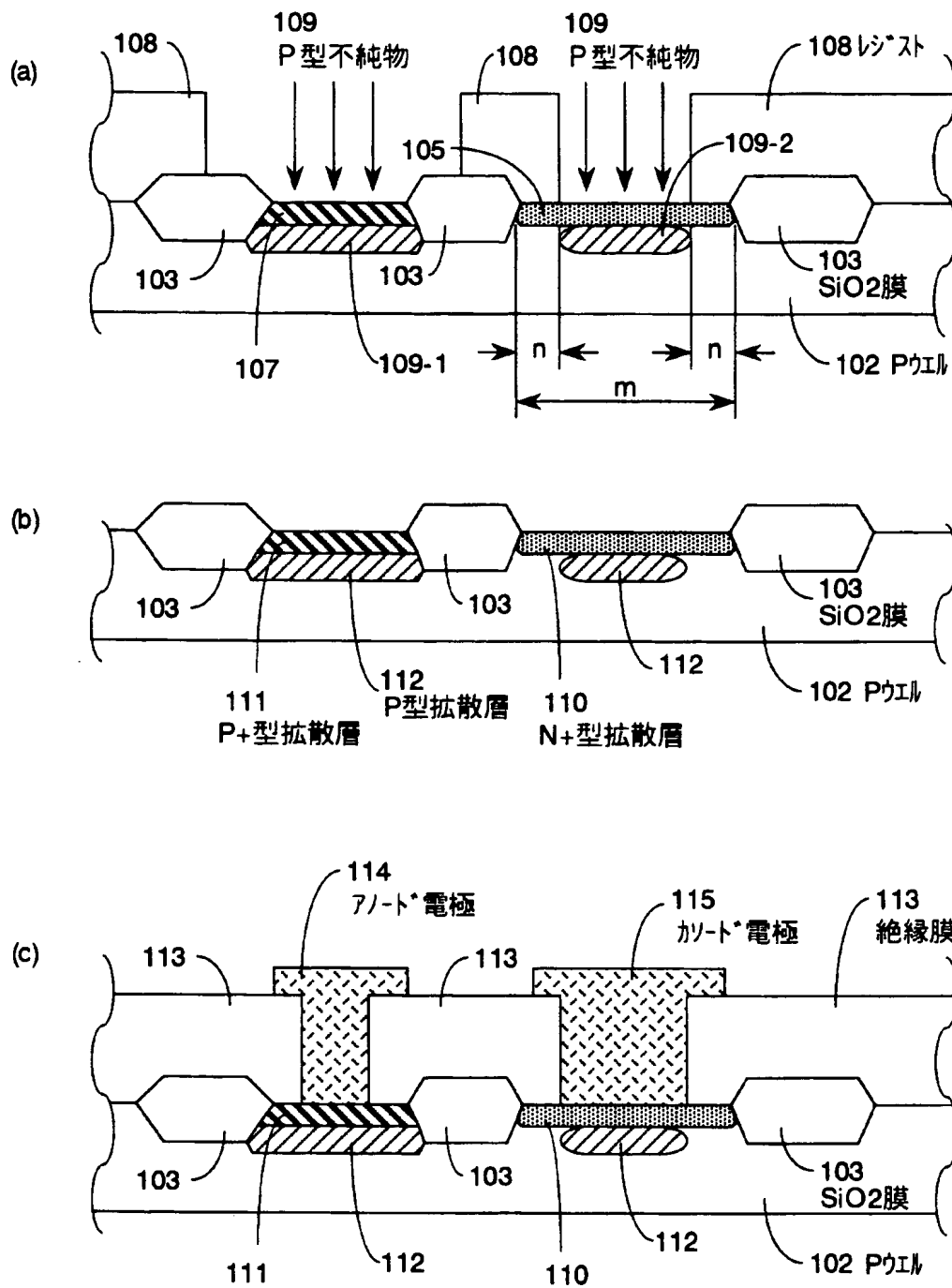
【図 1】



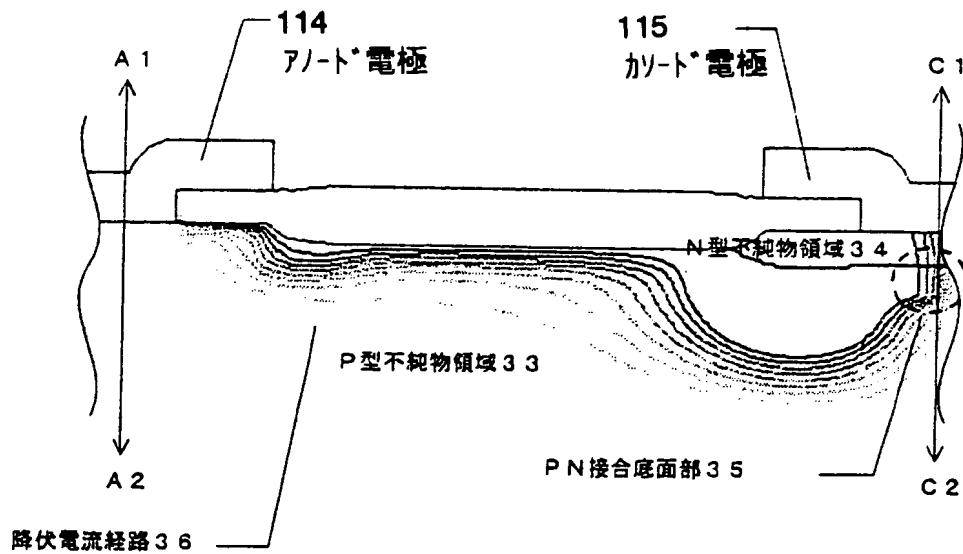
【図 2】



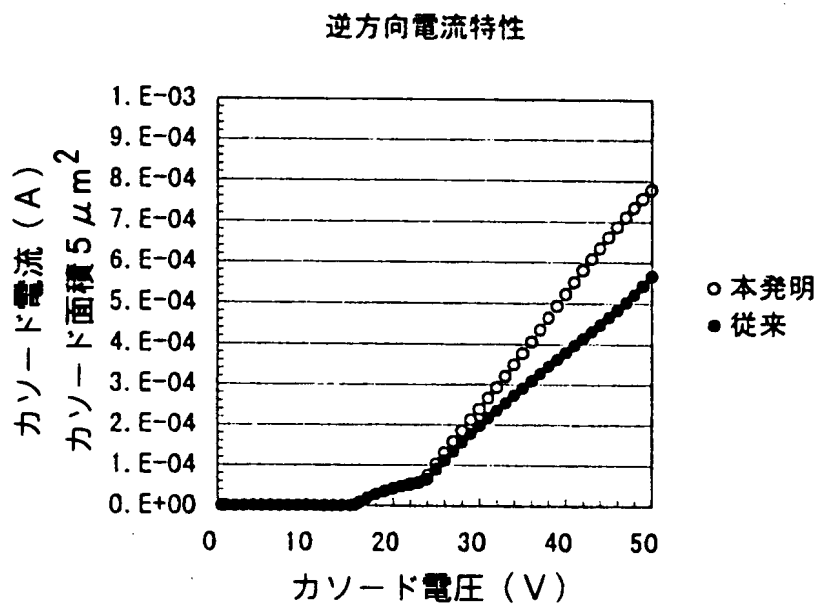
【図 3】



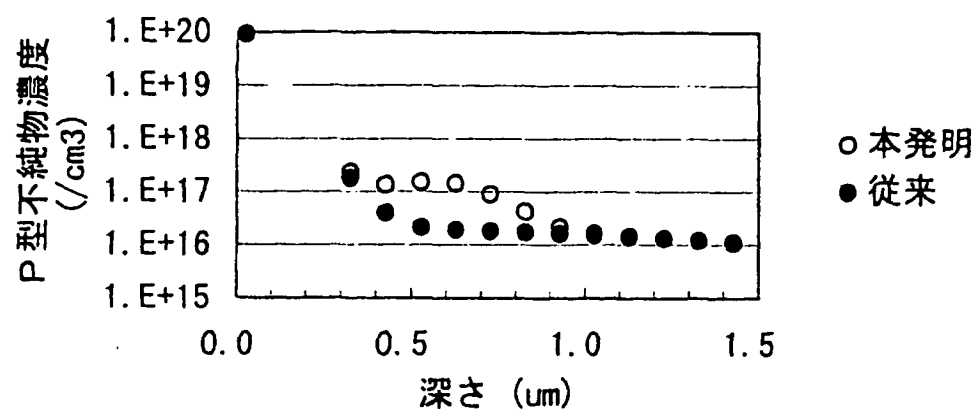
【図 4】



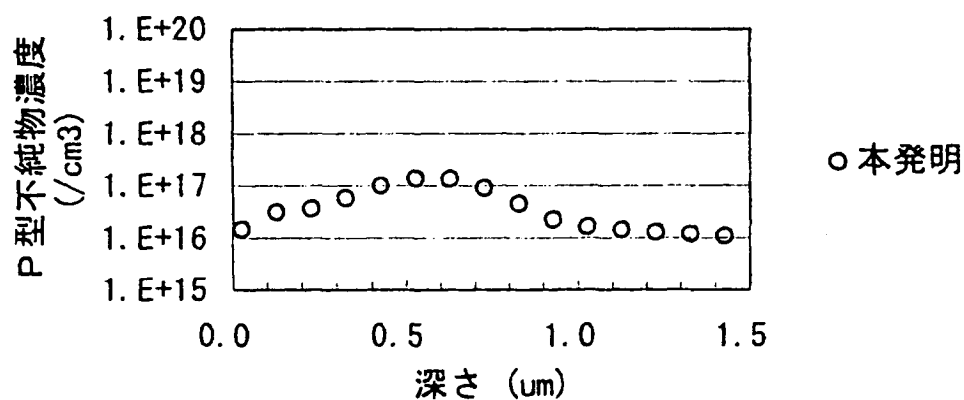
【図 5】



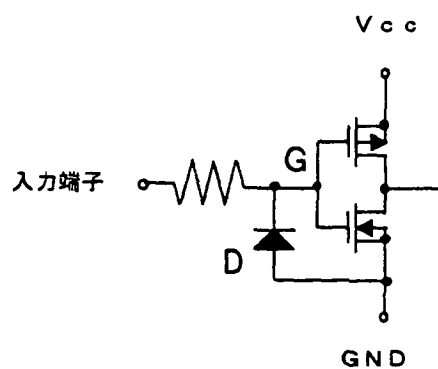
【図 6】



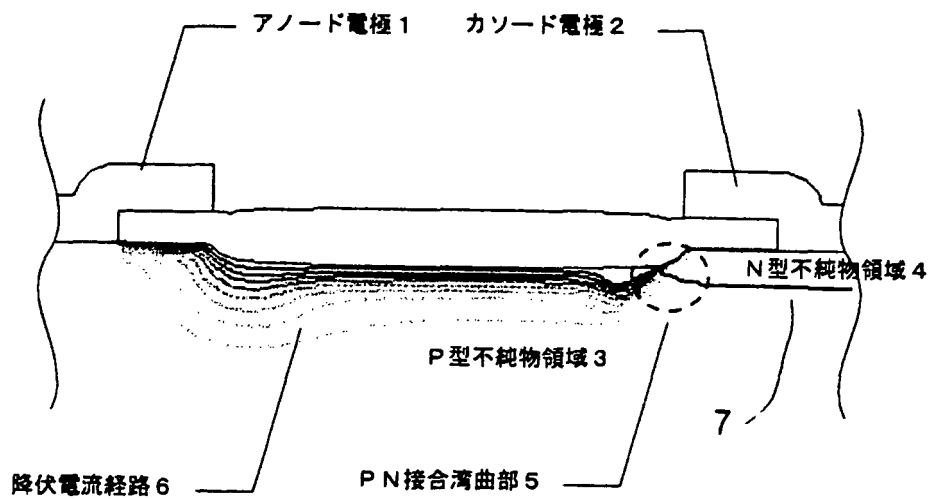
【図 7】



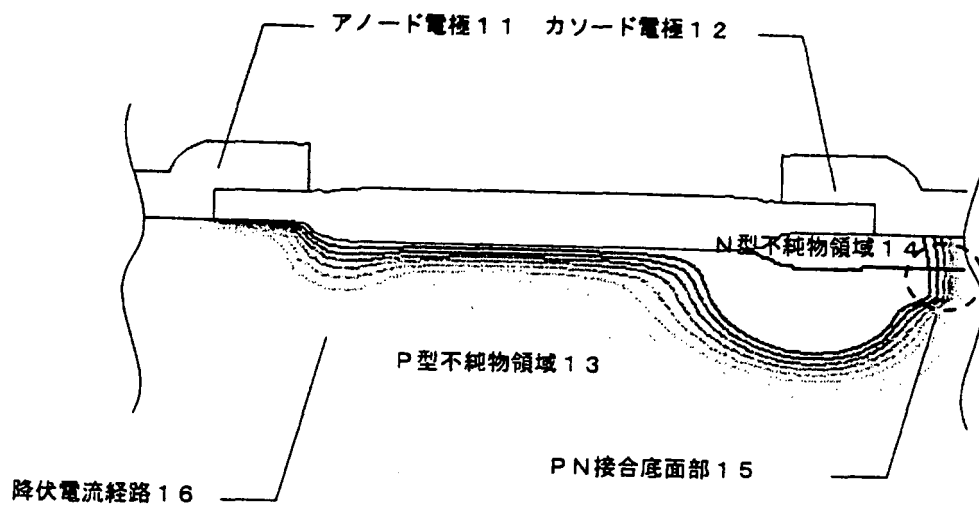
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 この発明は半導体装置に関し、大きな降伏電流を流すことが可能な保護回路として用いることのできる半導体装置を提供することを課題とする。

【解決手段】 第 1 導電性の半導体基板と、半導体基板内の表面近傍に、素子分離領域を介して分離形成された第 1 電極形成領域と第 2 電極形成領域とを備え、第 1 電極形成領域および第 2 電極形成領域のいずれか一方には濃度の異なる第 1 型不純物が注入された 2 層の第 1 型不純物層が形成され、他方の電極形成領域には第 2 型不純物が注入された第 2 型不純物層と、半導体基板内の第 2 型不純物層の下方の一部領域に第 1 型不純物層が形成されてなることを特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社